

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-288808

(43)Date of publication of application : 05.11.1993

(51)Int.Cl.

G01R 31/28
H01L 21/66

(21)Application number : 04-085658

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 07.04.1992

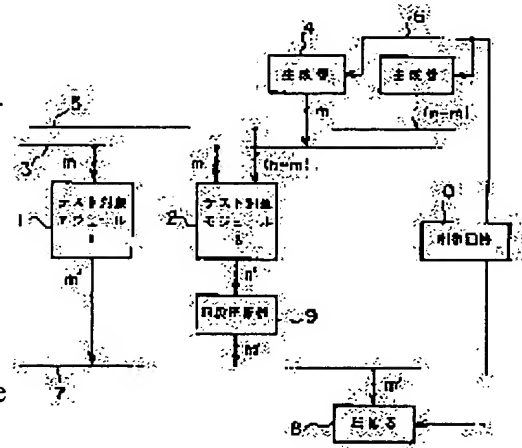
(72)Inventor : KURIMOTO MASAHIRO

(54) BUILT-IN TYPE SELF-TEST CIRCUIT

(57)Abstract:

PURPOSE: To provide a built-in type self-test circuit which requires less hardware and occupied area on a chip.

CONSTITUTION: A self-test circuit contains a test-coped module 1, a generator 4 which tests the module 1 and generates a pseudo random number pattern signal of m bit width, a generator 6 which generates a pseudo random number pattern signal of n-m bit width, a pre-stage compressor 9 which compresses the output bit width of a test-coped module 2, a compressor 8 and a control circuit 10. The input/output numbers of the module 1 is m, m' bit, and that of the module 2 is n, n' bit. An m bit of the module 1 and that of the module 2 are connected to the generator 4 through a bus 3, and the remaining (n-m) bit of the module 2 is connected to the generator 6 through a bus 5. The output of m' bit of the module 1 is connected to the compressor 8 through a bus 7, and the output of n' bit of the module 2 is, through the pre-stage compressor 9, reduced to m' bit for connection to the bus 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-288808

(43) 公開日 平成5年 (1993) 11月5日

(51) Int. Cl. ⁵ G01R 31/28 H01L 21/66	識別記号 F 8406-4M 6912-2G	庁内整理番号 F I G01R 31/28 V	技術表示箇所
--	------------------------------	----------------------------------	--------

審査請求 未請求 請求項の数2 (全 4 頁)

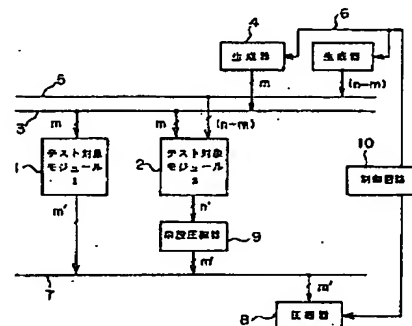
(21) 出願番号	特願平4-85658	(71) 出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22) 出願日	平成4年 (1992) 4月7日	(72) 発明者	栗本 雅弘 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		(74) 代理人	弁理士 鈴木 敏明

(54) 【発明の名称】 組込み型自己テスト回路

(57) 【要約】

【目的】 ハード量が少なく、チップ上での占有面積を小さくすることができる組込み型自己テスト回路の提供

【構成】 自己テスト回路は、モジュール1, 1 をテストするものであって、 m ビット幅の疑似乱数パターン信号を生成する発生器4 と、 $n-m$ ビット幅の疑似乱数パターン信号を生成する発生器6 と、モジュール2 の出力ビット幅を縮小する前段圧縮器9 と、圧縮器8 と、制御回路10とを有している。モジュール1 の入出力数は m, m' ビットで、モジュール2 の入出力数は n, n' ビットである。モジュール1 の m ビットとモジュール2 の m ビットが、バス3 を介して発生器4 と接続され、モジュール2 の残りの $(n-m)$ ビットがバス5 を介して発生器6 に接続されている。モジュール1 の m' ビットの出力は、バス7 を介して圧縮器8 に接続され、モジュール2 の n' ビットの出力は、前段圧縮器9 を介して m' ビットに減らされバス7 に接続されている。



本発明に係る自己テスト回路

【特許請求の範囲】

【請求項1】 複数のテスト対象モジュールを有する半導体集積回路における組込み型自己テスト回路において、

前記所定のビット幅のテストパターンを生成する複数のパターン生成器と、

前記テスト対象モジュールの入力端子数に応じて、1つまたは複数の上記生成器を動作せしめ、前記入力端子数に応じたビット幅のテストパターンを生成する制御回路とを有することを特徴とする組込み型自己テスト回路。

【請求項2】 請求項1記載の組込み型自己テスト回路において、

複数のテスト対象モジュールの出力端子数に応じて設けられた圧縮器と、

前記テスト対象モジュールからの出力ビット幅を他のテスト対象モジュールのビット幅に整合させる前段圧縮器とを有することを特徴とする組込み型自己テスト回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、組込み型自己テスト回路に関し、より具体的には、複数のテスト対象モジュールを搭載する半導体集積回路において、集積回路に組み込まれた型式の自己テスト回路の改良に関するものである。

【0002】

【従来の技術】 近年の半導体集積回路においては、集積度の向上に伴い複数のモジュールを組合わせて1つのチップを構成することが多い。このような構成のチップで不良品の判定を行う場合、一般的にはモジュール単位にテストを行うが、集積回路の外部端子から直接アクセスできない場合などに、集積回路内にテスト回路を組み込んだ型式のものが提供されている。

【0003】 このような型式のテスト回路は、BIST (Built in Self Test) 方式と呼ばれ、テストボタンが不要で高速にテストができる。この種のBIST方式を採用した半導体集積回路が、例えば、特開平1-221686号公報に開示されている。

【0004】 第3図は、前記公報などに開示されている従来のBIST方式の一例を示すものであり、その主要構成要素は、テストの対象となるモジュール101、102へ入力される疑似乱数パターンを生成するテストパターン生成器103、104と、モジュール101、102からの出力応答パターンを圧縮し、シグネチャを生成するテストパターン圧縮器105、106と、これらの生成器103、104、圧縮器105、106にクロックを供給したり、生成されたシグネチャをあらかじめ用意されている期待値シグネチャと比較し、テスト対象モジュールの正常性を判定するテストコントロール回路107とから構成されている。

【0005】 ここで、一般的には、生成器103、10

4は、テスト対象となるモジュール101、102の入力端子数に応じて必要ビット巾のテストパターンを生成できるLFSR (Linear Feedback Shift Register) やカウンタ等で構成され、同様に圧縮器105、106は、モジュール101、102の出力端子数に応じて必要ビット幅の出力パターンを圧縮できるLFSRやカウンタで構成される。

【0006】 しかしながら、このような構成の自己テスト回路には、以下に説明する技術的課題が指摘されている。

【0007】

【発明が解決しようとする課題】 すなわち、上記構成のBIST方式の自己テスト回路では、同一チップ上に搭載される複数のモジュール101、102に対して、それぞれ必要なビット幅を持ったテストパターン生成器103、104と、テストパターン圧縮器105、106とを独立に持つ必要があった。

【0008】 ところがこれらの生成器103、104、圧縮器105、106を構成するには、ビット数に相当する数のフリップフロップが最低限必要であり、ハード量が大きくなるとともに、チップ上での占有面積が非常に大きなものになるという問題点があった。

【0009】 この発明は、以上述べた従来の問題点に鑑みてなされたものであり、その目的とするところは、ハード量が少なく、チップ上での占有面積を小さくすることができる組込み型自己テスト回路を提供することにある。

【0010】

【課題を解決するための手段】 上記目的を達成するために、本発明は、複数のテスト対象モジュールを有する半導体集積回路における組込み型自己テスト回路において、前記所定のビット幅のテストパターンを生成する複数のパターン生成器と、前記テスト対象モジュールの入力端子数に応じて、1つまたは複数の上記生成器を動作せしめ、前記入力端子数に応じたビット幅のテストパターンを生成する制御回路とを有することを特徴とする。

【0011】 また、本発明の組込み型自己テスト回路は、複数のテスト対象モジュールの出力端子数に応じて設けられた圧縮器と、前記テスト対象モジュールからの出力ビット幅を他のテスト対象モジュールのビット幅に整合させる前段圧縮器とを設けることができる。

【0012】

【作用】 上記構成の組込み型自己テスト回路によれば、制御回路で、テスト対象モジュールの入力端子数に応じて、所定のビット幅のテストパターンを生成する複数のパターン生成器を、1つまたは複数動作せしめ、前記入力端子数に応じたビット幅のテストパターンを生成するので、複数のテスト対象モジュールに対応させてそれぞれパターン発生器を設ける必要がなくなる。

【0013】

【実施例】以下にこの発明の好適な実施例について添付図面を参照にして詳細に説明する。図1は、この発明にかかる組込み型自己テスト回路の一実施例を示すブロック図である。同図に示す自己テスト回路は、入力ビット数が異なる2つのテスト対象モジュール1、2をテストするものであって、 m ビット幅の疑似乱数パターンの信号を生成する生成器4と、 $n-m$ ビット幅の疑似乱数パターンの信号を生成する生成器6と、テスト対象モジュール2の出力ビット幅を縮小する前段圧縮器9と、圧縮器8と、制御回路10とから構成されている。

【0014】2つのテスト対象モジュール1、2の内、一方のテスト対象モジュール1は、入力数が m ビットで、出力数が m' ビットとなっており、他方のテスト対象モジュール2は、入力数が n ビットで、出力数が n' ビットとなっている。

【0015】ここで、テスト対象モジュール1、2のビットサイズの関係は、 $m < n$ 、 $m' < n'$ という条件を想定している。テスト対象モジュール1の m ビットの入力端子及びテスト対象モジュール2の n ビット中 m ビットの入力端子は、 m ビット幅のバス3を介して、 m ビット幅の疑似乱数パターンを発生する生成器4と接続されている。

【0016】テスト対象モジュール2の残りの $(n-m)$ ビットの入力端子は、 $(n-m)$ ビット幅のバス5を介して、 $(n-m)$ ビット幅の疑似乱数パターンを発生する生成器6に接続されている。

【0017】一方、テスト対象モジュール1の m' ビット幅の出力端子は、 m' ビット幅のバス7を介して、 m' ビット幅の圧縮器8に接続されており、テスト対象モジュール2の n' ビット幅の出力端子は、前段圧縮器9を介して m' ビット幅に減らされ前記のバス7に接続されている。

【0018】ここで前段圧縮器9は、単に n' ビットのデータを m' ビットに削減するものでよく、例えば、1つまたは2つ以上の2入力NAND、2入力NOR、排他的論理和ゲート等の簡単な論理回路で構成され、その一例を図2に示している。

【0019】次に、本実施例により実際にテストを行う場合の手順について説明する。まず、テスト対象モジュール1をテストする場合には、制御回路10により生成器4を動作させて、 m ビット幅のテストパターンをモジュール1に入力し、その応答パターンを圧縮器8で圧縮し、生成されたシグネチャを期待値シグネチャと比較して、その良否を判断する。

【0020】次に、テスト対象モジュール2をテストする場合には、制御回路10により生成器4と生成器5の両者を動作させることにより、それぞれ m ビット幅、

$(n-m)$ ビット幅のテストパターンが発生される。これにより、テスト対象モジュール2には、 $m + (n-m) = n$ ビット幅のパターンが印加される。

【0021】一方モジュール2からの応答パターンは、前段圧縮器9を介して m' ビット幅に減らされた後、やはり圧縮器8で圧縮され生成されるシグネチャを期待値と比較して、その良否が判断される。

【0022】以上の構成を有する組込み型自己テスト回路においては、従来例では、 m ビット幅と n ビット幅の2つの生成器、および m' ビット幅と n' ビット幅の2つの圧縮器という構成で実行されたテストが、 m ビット幅と $(n-m)$ ビット幅の2つの生成器4、6と、 m' ビット幅の1つの圧縮器8及び簡単な構成の前段圧縮器9という簡単な構成で実現される。

【0023】なお、ここで前段圧縮器9を設置したことにより誤り見逃し率は増加するが、一般的にはその値は無視できる程の値であり、BIST方式の主旨からはずれるものではなく、また、必要によっては、従来例と同様、2つの圧縮器からなる構成としても何ら問題はな

い。【0024】以上の説明では便宜上テスト対象モジュールが2つの場合で説明したが、3つ以上になっても同様の考え方で拡張できることはいうまでもない。またバス3、5、7は本来チップ内に構成されている内部バス、外部バスを利用してもよいし、特別にテスト用に設けたテスト専用バスでもよい。

【0025】

【発明の効果】以上詳細に説明したように、この発明によれば複数のテスト対象モジュールごとに必要だった生成器と圧縮器を共通した利用するようにしたため、これら生成器や圧縮器のハード量が大巾に削減できチップ上でのBIST回路の占有面積も小さくすることが可能となる。

【図面の簡単な説明】

【図1】本発明にかかる組込み型自己テスト回路の一実施例を示すブロック図である。

【図2】図1の前段圧縮器の具体例を示す説明図である。

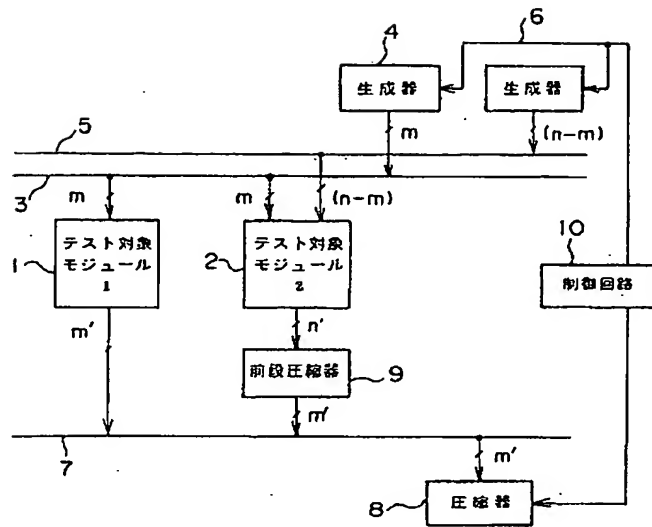
【図3】従来の組込み型自己テスト回路の一例を示すブロック図である。

【符号の説明】

- 1, 2 テスト対象モジュール
- 4, 6 発生器
- 8 圧縮器
- 9 前段圧縮器
- 10 制御回路

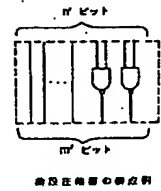
(4)

【図1】

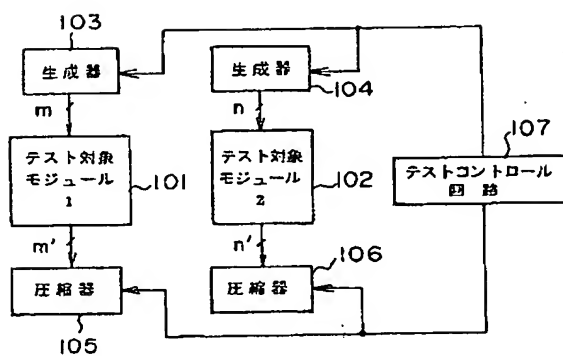


本発明に係る自己テスト回路

【図2】



【図3】



従来の自己テスト回路

BUILT-IN TYPE SELF-TEST CIRCUIT

Patent Number: JP5288808
Publication date: 1993-11-05
Inventor(s): KURIMOTO MASAHIRO
Applicant(s):: OKI ELECTRIC IND CO LTD
Requested Patent: ☐ JP5288808
Application Number: JP19920085658 19920407
Priority Number(s):
IPC Classification: G01R31/28 ; H01L21/66
EC Classification:
Equivalents:

Abstract

PURPOSE:To provide a built-in type self-test circuit which requires less hardware and occupied area on a chip.
CONSTITUTION:A self-test circuit contains a test-coped module 1, a generator 4 which tests the module 1 and generates a pseudo random number pattern signal of m bit width, a generator 6 which generates a pseudo random number pattern signal of n-m bit width, a pre-stage compressor 9 which compresses the output bit width of a test-coped module 2, a compressor 8 and a control circuit 10. The input/output numbers of the module 1 is m, m' bit, and that of the module 2 is n, n' bit. An m bit of the module 1 and that of the module 2 are connected to the generator 4 through a bus 3, and the remaining (n-m) bit of the module 2 is connected to the generator 6 through a bus 5. The output of m' bit of the module 1 is connected to the compressor 8 through a bus 7, and the output of n' bit of the module 2 is, through the pre-stage compressor 9, reduced to m' bit for connection to the bus 7.

Data supplied from the esp@cenet database - I2